# CMOSFETを用いた低電圧Companding Filterに関する研究

平成10年 2月16日

指導教官　藤井 信生

提 出 者
電気電子工学科 集積システムコース
木村 昭悟

# 目 次

**第 1 章　序論　3**

1.1 研究の背景および目的 . . . . . 3

1.2 本論文の構成 . . . . . 3

**第 2 章　Companding Integrator　4**

2.1 まえがき . . . . . 4

2.2 Companding Integrator . . . . . 4

2.3 Companding Integrator の実現方法 . . . . . 6

**第 3 章　Translinear Principle　8**

3.1 まえがき . . . . . 8

3.2 Translinear Principle . . . . . 8

3.3 MOS Translinear Principle . . . . . 9

3.4 MTL(MOS Translinear Principle) の応用 . . . . . 11

3.4.1 平方根回路 . . . . . 12

3.4.2 自乗回路 . . . . . 13

**第 4 章　回路構成　15**

4.1 まえがき . . . . . 15

4.2 提案回路 . . . . . 15

4.2.1 Expanding function の回路構成 . . . . . 16

4.2.2 Compressing function の回路構成 . . . . . 16

4.2.3 全体回路 . . . . . 17

**第 5 章　シミュレーション　22**

5.1 まえがき . . . . . 22

5.2 シミュレーション . . . . . 22

5.2.1 シミュレーション条件 . . . . . 22
5.2.2 シミュレーション結果 . . . . . 23
5.2.3 低電圧化へのアプローチ . . . . . 24

**第 6 章 結論** **28**
6.1 本論文で得られた結果 . . . . . 28
6.2 今後の課題 . . . . . 28

**謝 辞** **30**

**参 考 文 献** **31**

**付録 I Companding Filter の設計に関する考察** **32**
I.1 まえがき . . . . . 32
I.2 Companding Filter の構成例 . . . . . 32
I.3 フィルタの改良に関する考察 . . . . . 33

# 第1章

# 序論

## 1.1　研究の背景および目的

集積回路の低電圧化は、デバイスの微細化により重要な課題となっている。しかし従来の電圧信号入力方式では信号振幅の大きさに対して電源電圧が上昇し、低電圧化が困難である。そこで本研究では低電圧化実現方法の１つとして Companding Filter[1] を提案する。

バイポーラトランジスタを用いた回路 [2] は、ディジタル回路との混在がコスト面等の問題から困難になるという問題を持っている。そこで本研究では、CMOS プロセスを用いてフィルタの重要な構成要素となる積分器、Companding Integrator を構成する。

## 1.2　本論文の構成

以上に述べた研究背景と研究目的に基づき、本論文を以下のように構成する。

本章に続く第 2 章では、Companding Integrator の基本的な動作原理及びその実現方法について述べる。第 3 章では、提案する回路の構成において重要な役割を果たす Translinear Principle [5] についての説明を行う。第 4 章は、提案した回路の動作について論じる。第 5 章では、その提案回路の動作を SPICE シミュレーションによって確認した結果を示す。最後に第 6 章で本論文で得られた結果を要約し、今後の研究課題を示す。

# 第2章

# Companding Integrator

## 2.1　まえがき

本章では、第 4 章のための準備として、Companding Integrator の基本的な動作原理及びその実現方法を述べる。compand は compress と expand を合わせた造語である。[1]

## 2.2　Companding Integrator

図 2.1 に示すように、積分関数の入力に $g(I_{in})$、出力に $f(V_2)$ を接続する。

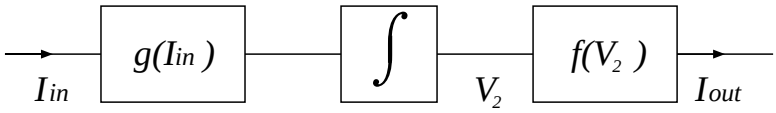



**図 2.1**　Companding Integrator の概念図

ここで $g(I_{in})$ として、図 2.2 のように入力に対して出力振幅を圧縮するような関数 *Compressing Function* 、$f(V_2)$ として、図 2.3 のように入力に対して出力振幅を拡張するような関数 *Expanding Function* を用意する。

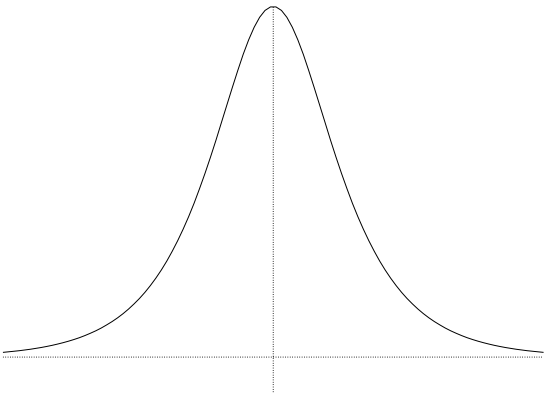


**図 2.2** Compressing function

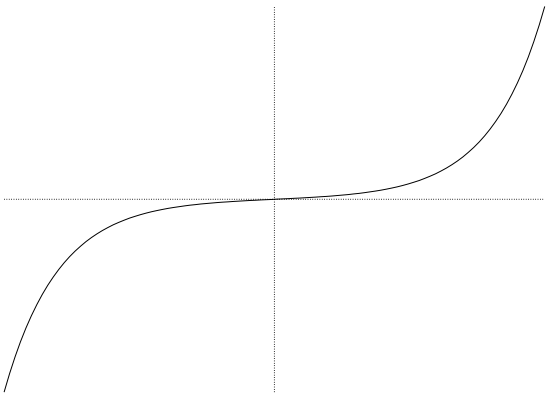


**図 2.3** Expanding function

つまり、

$$I_{out} = f(V_2) \tag{2.1}$$
$$V_2 = \int g(I_{in})dt \tag{2.2}$$

である。よって

$$\frac{dI_{out}}{dt} = \frac{dI_{out}}{dV_2}\frac{dV_2}{dt} = f'(V_2)g(I_{in}) \tag{2.3}$$

なので

$$I_{out} = \alpha \int I_{in}dt \tag{2.4}$$

のように入力に線形な出力を得るには、すなわち

$$f'(V_2)g(I_{in}) = \alpha I_{in} \tag{2.5}$$

を満たさなければならない。

つまり、式 (2.5) を満たす $f(V_2)$ と $g(I_{in})$ とのペアを作り出すことで Companding Integrator を構成できる。

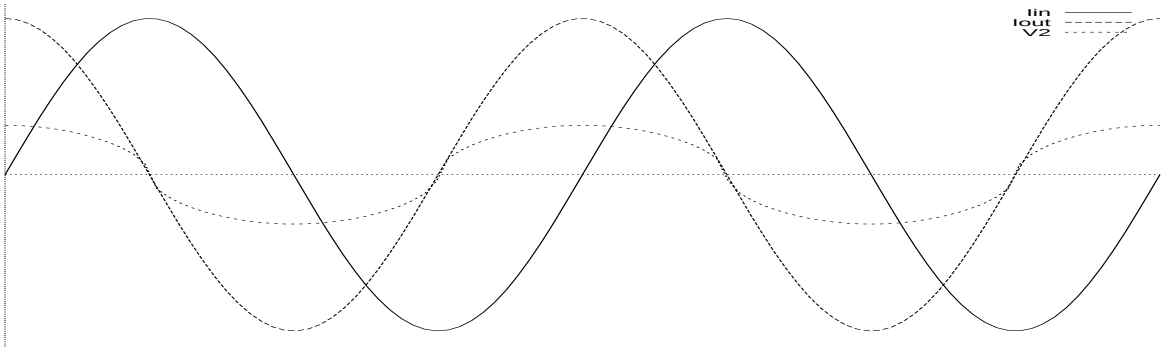
入力 $I_{in}$、出力 $I_{out}$ 及び内部電圧 $V_2$ の波形の例を図 2.4 に示す。それぞれ、

$$\begin{cases} I_{in} = A\sin t \\ I_{out} = A\cos t \qquad (= -\int I_{in}dt) \\ V_2 = sgn(\cos t)\sqrt{|A\cos t|} \end{cases}$$

である。ただし $sgn(x)$ は

$$sgn(x) = \begin{cases} -1 & x < 0 \\ 0 & x = 0 \\ 1 & x > 0 \end{cases}$$

を満たす関数である。



をキャパシタに流すことで積分動作を行わせる。すなわちキャパシタ両端の電圧$V_2$は、

$$\frac{dV_2}{dt} = \frac{1}{C}h(I_{out})I_{in} \tag{2.6}$$

で与えられる。キャパシタ両端の電圧$V_2$を*Expanding Function* $f(V_2)$に入力する。

第2.2節と同様にして、

$$\begin{aligned}\frac{dI_{out}}{dt} &= \frac{dI_{out}}{dV_2}\frac{dV_2}{dt} \\ &= f'(V_2)\cdot\frac{1}{C}h(I_{out})I_{in}\end{aligned} \tag{2.7}$$

が得られ、式(2.4)

$$\frac{dI_{out}}{dt} = \alpha I_{in} \tag{2.8}$$

のような出力を得るには、

$$f'(V_2)h(I_{out}) = \alpha C = \alpha' \tag{2.9}$$

でなければならない。

ここで、

$$I_{out} = f(V_2) = K(V_2 - V_T)^2 \tag{2.10}$$

とする。ただし、$K$はMOSFETのトランスコンダクタンス係数、$V_T$はMOSFETのしきい電圧である。[6, 7]

$$\begin{aligned}f'(V_2) &= 2K(V_2 - V_T) \\ &= 2\sqrt{KI_{out}}\end{aligned} \tag{2.11}$$

なので、式(2.9)より

$$h(I_{out}) = \frac{\alpha'}{2\sqrt{KI_{out}}} \tag{2.12}$$

$$= \frac{\alpha''}{\sqrt{I_{out}}} \tag{2.13}$$

を満たすような$h(I_{out})$を構成すればよい。ただし、

$$\alpha'' = \frac{\alpha'}{2\sqrt{K}} \tag{2.14}$$

である。

式(2.13)を得るためにMTL(MOS Translinear Principle)を用いて回路構成を行なう。

# 第3章

# Translinear Principle

## 3.1　まえがき

本章では第 4 章の準備として、回路構成において重要な役割を果たしている Translinear Principle についての説明を行う。

## 3.2　Translinear Principle

transconductunce $g_m$ が電流 $I$ と比例関係にあることを translinear と言う [4]。すなわち、

$$g_m = \frac{\partial I}{\partial V} = aI \tag{3.1}$$

である。式 (3.1) を $I$ について解いて、

$$I = b \exp aV \tag{3.2}$$

ただし、$a$,$b$ とも定数である。

バイポーラトランジスタが順方向能動領域で動作するとき、式 (3.2) の関係を満たす。すなわち、

$$I_c = I_s \exp \frac{V_{BE}}{V_T} \tag{3.3}$$

である。ただし、$V_{BE}$ はベース・エミッタ間電圧、$I_c$ はコレクタ電流、$V_T$ はバイポーラトランジスタのしきい電圧、$I_s$ はバイポーラトランジスタの飽和電流である。[6, 7]

ここで図3.1に示すように、バイポーラトランジスタのベース・エミッタでループを形成、そのループ上の右回りのベース・エミッタ間電圧の数と左回りのベース・エミッタ間電圧の数が等しくなるように回路を構成することを考える。

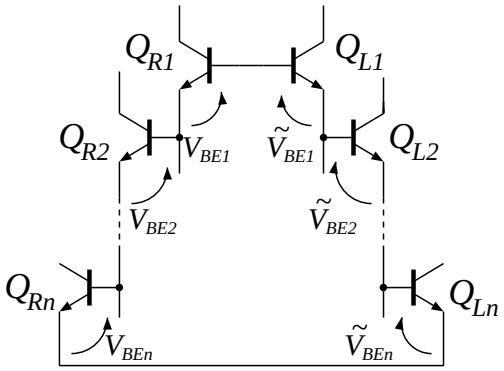



**図 3.1** ベース・エミッタループ

つまり、

$$\sum_{i=1}^{n} V_{BEi} = \sum_{j=1}^{n} \widetilde{V_{BEj}} \tag{3.4}$$

$$\sum_{i=1}^{n} V_T \ln \frac{I_{ci}}{I_s} = \sum_{j=1}^{n} V_T \ln \frac{\widetilde{I_{cj}}}{I_s}$$

$$\sum_{i=1}^{n} \ln I_{ci} = \sum_{j=1}^{n} \ln \widetilde{I_{cj}} \tag{3.5}$$

よって、

$$\prod_{i=1}^{n} I_{ci} = \prod_{j=1}^{n} \widetilde{I_{cj}} \tag{3.6}$$

式(3.6)を基に所望の回路を設計する方法を、Translinear Principleと呼ぶ[4]。

## 3.3 MOS Translinear Principle

MOSFETにおいても第3.2節と同様の回路構成方法を適用する。[5]

すなわち図3.2のように、MOSFETのゲート・ソースでループを形成、そのループ上の右回りのゲート・ソース間の電圧の数と左回りのゲート・ソース間の電圧の数が等しくなるように回路を構成する。

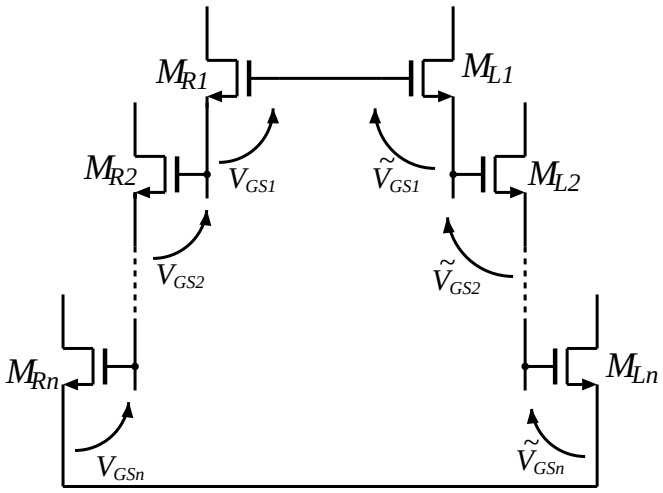



**図 3.2** ゲート・ソースループ

ゲート・ソース間電圧を$V_{GS}$で表すとすると、

$$\sum_{i=1}^{n} V_{GSi} = \sum_{j=1}^{n} \widetilde{V_{GSj}} \tag{3.7}$$

である。全てのFETが飽和領域で動作していると仮定すると、

$$I_D = K(V_{GS} - V_T)^2 \tag{3.8}$$

と表すことができる。$I_D$はドレイン電流、$K$はMOSFETのトランスコンダクタンス係数、$V_T$はMOSFETのしきい電圧である。[6, 7]

式(3.8)より

$$V_{GS} = \sqrt{\frac{I_D}{K}} + V_T \tag{3.9}$$

なので、式(3.7)を用いて、

$$\sum_{i=1}^{n}(\sqrt{\frac{I_{Di}}{K}} + V_T) = \sum_{j=1}^{n}(\sqrt{\frac{\widetilde{I_{Dj}}}{K}} + V_T) \tag{3.10}$$

よって、

$$\sum_{i=1}^{n} \sqrt{I_{Di}} = \sum_{j=1}^{n} \sqrt{\widetilde{I_{Dj}}} \tag{3.11}$$

が成り立つ。

式 (3.11) を基に所望の回路を設計する方法を MOS Translinear Principle（以下、MTL と記述する）と呼ぶ [5]。

## 3.4 MTL(MOS Translinear Principle)の応用

ここでは、図 3.3 に示すように $n = 2$ のときを考える。[5]

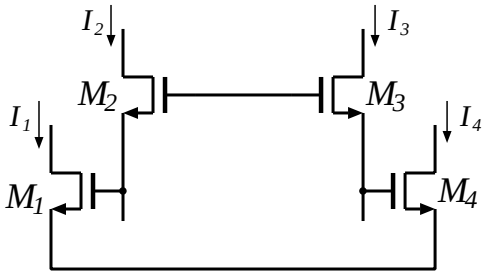



**図 3.3** ゲート・ソースループ（n＝2）

式 (3.11) より、

$$\sqrt{I_1} + \sqrt{I_2} = \sqrt{I_3} + \sqrt{I_4} \tag{3.12}$$

が成り立つ。

### 3.4.1 平方根回路

式 (3.12) において、

$$I_3 = I_4 = I_o \tag{3.13}$$

とすると、

$$\begin{aligned} 2\sqrt{I_o} &= \sqrt{I_1} + \sqrt{I_2} \\ I_o &= \frac{1}{4}(\sqrt{I_1} + \sqrt{I_2})^2 \\ &= \frac{1}{4}(I_1 + I_2) + \frac{1}{2}\sqrt{I_1 I_2} \end{aligned} \tag{3.14}$$

よって、

$$I_o - \frac{1}{4}(I_1 + I_2) = \frac{1}{2}\sqrt{I_1 I_2} \tag{3.15}$$

として入力 $I_1, I_2$ に対して平方根を取る回路を設計できる。

回路図を図 3.4 に示す。

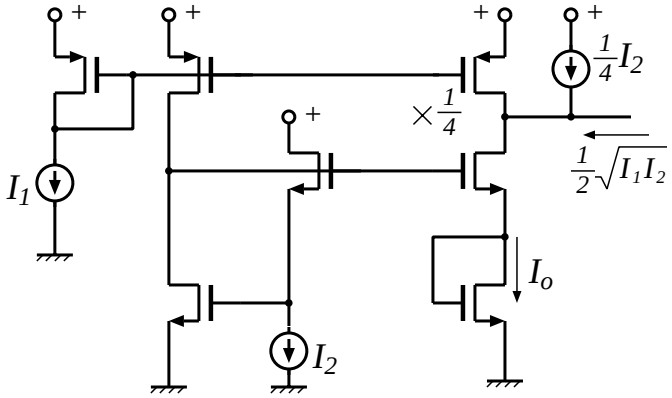



**図 3.4** 平方根回路

### 3.4.2 自乗回路

式 (3.12) において、

$$I_s = I_3 + I_4 \tag{3.16}$$

$$I_d = I_3 - I_4 \tag{3.17}$$

とすると、

$$I_3 = \frac{1}{2}(I_s + I_d) \tag{3.18}$$

$$I_4 = \frac{1}{2}(I_s - I_d) \tag{3.19}$$

よって式 (3.12) に式 (3.18) (3.19) を代入して、

$$\sqrt{I_1} + \sqrt{I_2} = \sqrt{\frac{I_s + I_d}{2}} + \sqrt{\frac{I_s - I_d}{2}} \tag{3.20}$$

両辺を自乗して変形すると、

$$\sqrt{I_s^2 - I_d^2} = (\sqrt{I_1} + \sqrt{I_2})^2 - I_s \tag{3.21}$$

ここで条件として、右辺 $\geq 0$ すなわち

$$I_s \leq (\sqrt{I_1} + \sqrt{I_2})^2 \tag{3.22}$$

を得る。式 (3.21) をさらに自乗して変形すると、

$$I_s = \frac{1}{2}(\sqrt{I_1} + \sqrt{I_2})^2 + \frac{I_d^2}{2(\sqrt{I_1} + \sqrt{I_2})^2} \tag{3.23}$$

$I_1 = I_2$ とすれば、

$$I_s = 2I_1 + \frac{I_d^2}{8I_1} \tag{3.24}$$

よって、

$$I_s - 2I_1 = \frac{I_d^2}{8I_1} \tag{3.25}$$

として入力 $I_d$ に対して自乗を取る回路を設計できる。ただし式 (3.22) より

$$I_s \leq 4I_1 \tag{3.26}$$

である。式 (3.24) を式 (3.26) に代入して計算すると、

$$-4I_1 \leq I_d \leq 4I_1 \tag{3.27}$$

という入力に対する条件を得る。

回路図を図 3.5 に示す。

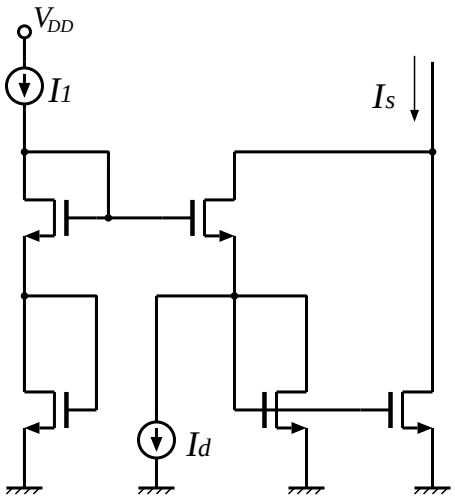



**図 3.5** 自乗回路

# 第4章

# 回路構成

## 4.1　まえがき

本章では提案する回路の構成及びその動作について述べる。

## 4.2　提案回路

回路のブロック図は、第 2.3 節の図 2.5 に示す通りである（再び図 4.1 に示す）。

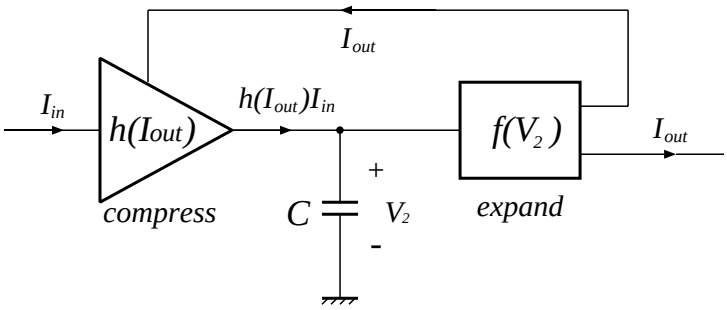



**図 4.1**　Companding Integrator のブロック図

ここでは、*Compressing function* $h(I_{out})$ 及び *Expanding function* $f(V_2)$ の内部構成及びその動作についてのみ説明していく。

### 4.2.1 Expanding functionの回路構成

第2.3節の式(2.10)のように

$$f(V_2) = K_P(V_2 - V_{TP})^2 \tag{4.1}$$

とする。ただし、$K_P$はPMOSFETのトランスコンダクタンス係数、$V_{TP}$はPMOSFETのしきい電圧、$V_2$はキャパシタ両端の電圧である。[6, 7]

$f(V_2)$はMOSFETの飽和特性を用いることで構成できる。回路図を図4.2に示す。

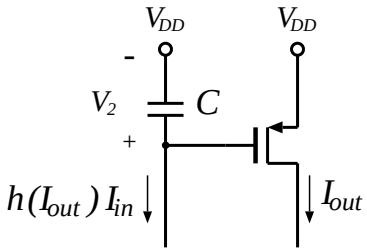



**図 4.2** $f(V_2)$の回路構成

### 4.2.2 Compressing functionの回路構成

第3.4.2項で求めたモデル、自乗回路を考える。今、$I_1 = I_2$及び$I_d = I_3 - I_4$を入力、$I_s = I_3 + I_4$を出力に取ると、式(3.24)より

$$I_s = 2I_1 + \frac{I_d^2}{8I_1} \tag{4.2}$$

が得られる。この回路を2つ用いて利得$h(I_{out})$を持つ電流増幅器を構成する。ここで、

$$I_{s1} = 2I_1 + \frac{I_{d1}^2}{8I_1} \tag{4.3}$$

$$I_{s2} = 2I_1 + \frac{I_{d2}^2}{8I_1} \tag{4.4}$$

$$I_{d1} = I_{in} + I_o \tag{4.5}$$

$$I_{d2} = I_{in} - I_o \tag{4.6}$$

とすると、

$$\begin{aligned} I_{s1} - I_{s2} &= \frac{I_{d1}^2 - I_{d2}^2}{8I_1} \\ &= \frac{(I_{in} + I_o)^2 - (I_{in} - I_o)^2}{8I_1} \\ &= \frac{I_o}{2I_1} I_{in} \end{aligned} \tag{4.7}$$

となり、全体の入力 $I_{in}$ に対して線形的な出力電流を得ることができる。

$f(V_2)$ を式 (4.1)

$$f(V_2) = K_P(V_2 - V_{TP})^2 = I_{out} \tag{4.8}$$

と取ったので、積分器の入出力関係が線形となるには、第 2.3 節式 (2.13)

$$h(I_{out}) = \frac{\beta}{\sqrt{I_{out}}} \tag{4.9}$$

を満たせばよい。第 3.4.1 項で求めたモデル、平方根回路を用いて

$$I_1 = \frac{1}{2}\sqrt{I_a I_{out}} \tag{4.10}$$

とすると、式 (4.7) より

$$I_{s1} - I_{s2} = \frac{I_o}{\sqrt{I_a I_{out}}} I_{in} \tag{4.11}$$

つまり

$$h(I_{out}) = \frac{I_o}{\sqrt{I_a I_{out}}} \tag{4.12}$$

となる。

回路図を図 4.3 に示す。$I_{s1}$ 及び $I_{s2}$ を作成する自乗回路において、$I_1$ を流す部分は共通である。その部分を共用することで回路を簡単にしている。

### 4.2.3 全体回路

提案する積分器はキャパシタ、$f(V_2)$ 、$h(I_{out})$ 及びいくつかの Current Mirror によって構成されている。

提案する積分器の全体を図 4.4 に示す。式 (4.1) 及び式 (4.12)

$$f(V_2) = K_P(V_2 - V_T)^2 = I_{out} \tag{4.13}$$

$$h(I_{out}) = \frac{I_o}{\sqrt{I_a I_{out}}} \tag{4.14}$$

より、第 2.3 節式 (2.7) を用いると全体の入出力特性は

$$\begin{aligned} \frac{dI_{out}}{dt} &= f'(V_2) \cdot \frac{1}{C} h(I_{out}) I_{in} \\ &= \frac{2\sqrt{K_P} I_o}{C\sqrt{I_a}} I_{in} \end{aligned} \tag{4.15}$$

で表される。

また式 (4.13)(4.15) より

$$K_P(V_2 - V_{TP})^2 = I_B + \frac{2\sqrt{K_P} I_o}{C\sqrt{I_a}} \int I_{in} dt \tag{4.16}$$

を得る。ただし、$I_B$ は出力バイアス電流とする。よってキャパシタ両端の電圧 $V_2$ は

$$V_2 = V_{TP} - \sqrt{\frac{I_B}{K_P} + \frac{2I_o}{C\sqrt{K_P I_a}} \int I_{in} dt} \tag{4.17}$$

で与えられる。つまり $V_2$ の振幅は入力電流振幅の平方根程度のレベルに抑えられている。

提案回路を構成している MOSFET 数は総計 19 個である。従来提案されている回路 [3](図 4.5) においては総計 30 個の MOSFET が用いられており、回路規模をほぼ $\frac{2}{3}$ に縮小している。

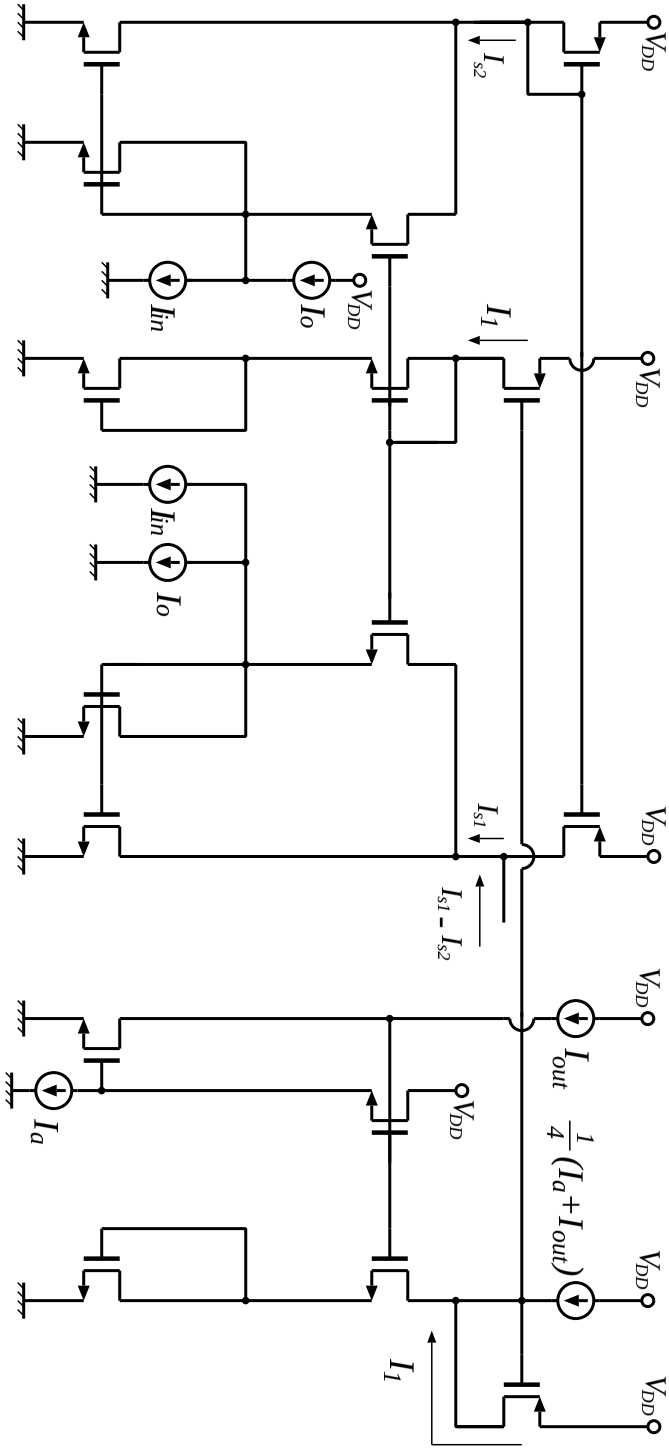



**図 4.3** $h(I_{out})$ の回路構成

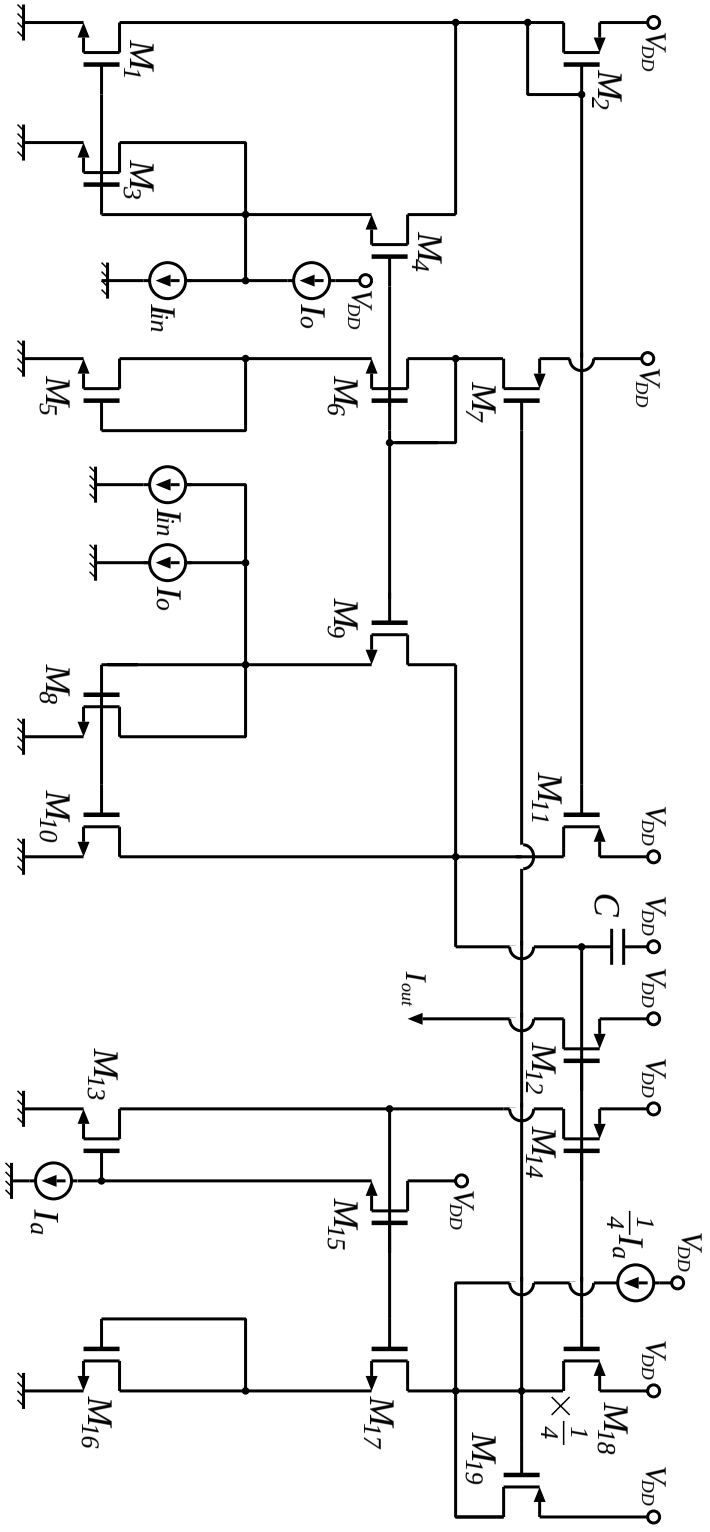

$V_{DD}$
$M_1$
$M_2$
$M_3$
$M_4$
$I_{in}$
$I_o$
$M_5$
$M_6$
$M_7$
$M_8$
$M_9$
$M_{10}$
$M_{11}$
$C$
$I_{out}$
$M_{12}$
$M_{13}$
$M_{14}$
$M_{15}$
$I_a$
$\frac{1}{4}I_a$
$M_{16}$
$M_{17}$
$M_{18}$
$M_{19}$
$\times\frac{1}{4}$

**図 4.4** 提案回路

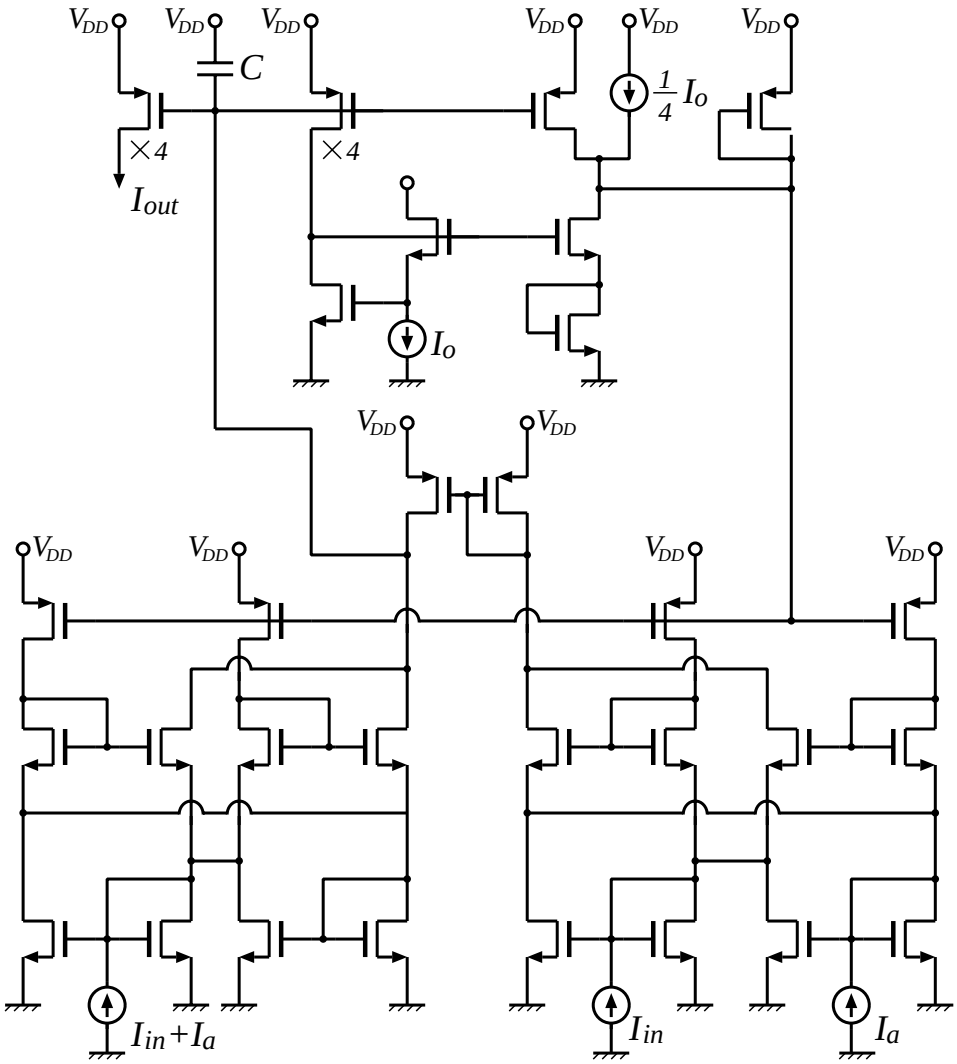



**図 4.5** 従来の回路

# 第5章

# シミュレーション

## 5.1　まえがき

本章では、提案した回路をシミュレーションによって動作を実証し、その結果について記述する。

## 5.2　シミュレーション

### 5.2.1　シミュレーション条件

提案回路の動作を確認するために、Spice シミュレーションを標準的な $2\mu m$ CMOS パラメータ (LEVEL=2) を用いて行った。しきい電圧 $V_T$ は 0.8V とした。基板が全て n 型半導体で構成されていると仮定して、全ての NMOS の bulk をソースに、全ての PMOS の bulk を最高電位である $V_{DD}$ に結合した。電源電圧 $V_{DD} = 3.3V$、$I_o = 5\mu A$ 、$I_a = 5\mu A$、入力バイアス電流 $I_{bias} = 2\mu A$ とし、$C = 100pF$ とした。このときの各 MOSFET の W/L の値を表 5.1 に示す。

**表 5.1**　提案回路の W/L の値

| | |
|---|---|
| $M_1, M_3 \sim M_6, M_8 \sim M_{10}$ | $\frac{40}{10}$ |
| $M_2, M_{11}$ | $\frac{60}{6}$ |
| $M_7, M_{19}$ | $\frac{50}{10}$ |
| $M_{12}, M_{14}$ | $\frac{80}{4}$ |
| $M_{13}, M_{15} \sim M_{17}$ | $\frac{90}{10}$ |
| $M_{18}$ | $\frac{20}{4}$ |

### 5.2.2 シミュレーション結果

図 5.1 に提案回路の入出力特性を示す。

直流利得が 32.1dB と非常に大きく、単位利得周波数 147kHz で位相がほぼ −90 °( −88.97 °) になっており、良好な特性が得られていることがわかる。無信号時における消費電力は $767\mu W$ であった。

キャパシタの値を変化させた時の振幅特性を図 5.2 に示す。それぞれ C=100pF, 50pF, 25pF, 10pF, 5pF としている。

それぞれの場合の単位利得周波数は 147kHz, 293kHz, 581kHz, 1.44MHz, 2.96MHz であり、容量値を変化させることで単位利得周波数を変化させられることを示している。

特に $C = 25\mu F$ としたときの入出力特性を図 5.3 に示す。単位利得周波数 581kHz で位相は −90.07 °と、より理想に近い、より良い特性を得ている。

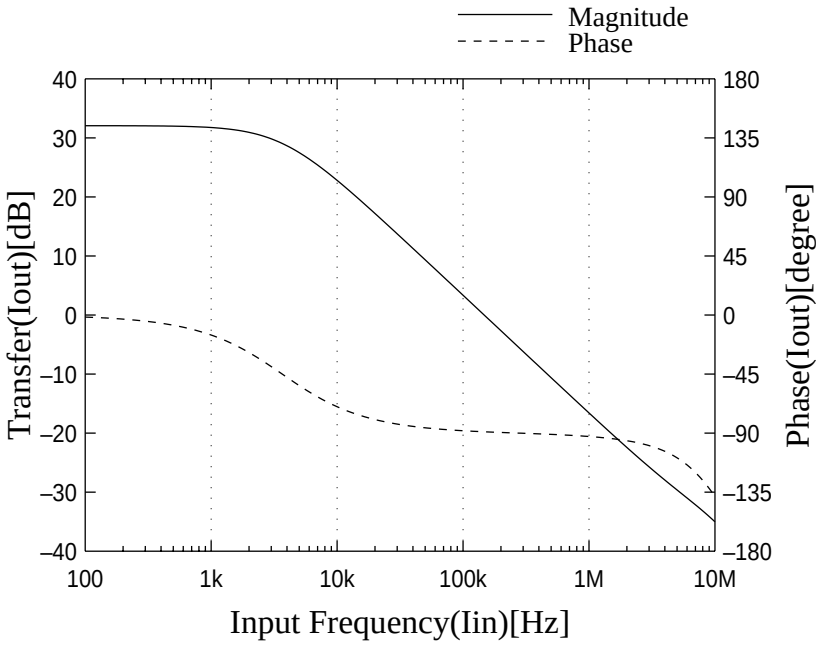



**図 5.1** $V_{DD} = 3.3V, C = 100pF$ の特性

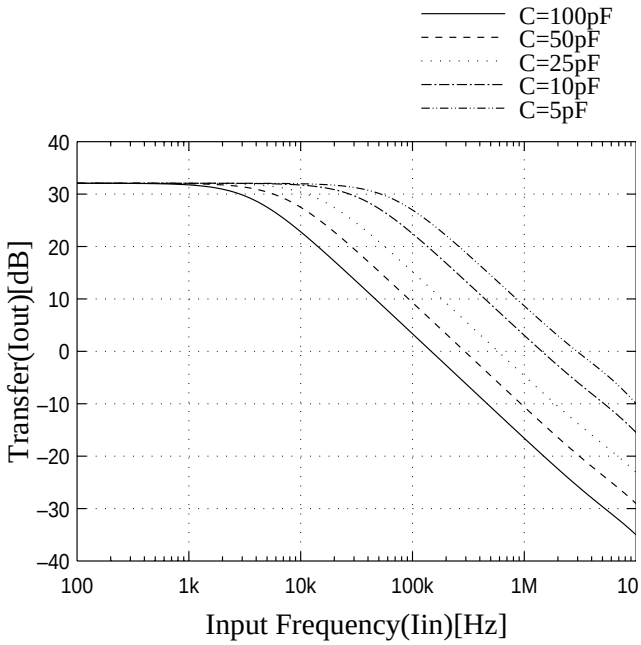



**図 5.2** C を変化させた時の提案回路の振幅特性

### 5.2.3 低電圧化へのアプローチ

本研究では用いたデバイスパラメータのしきい電圧 $V_T$ は 0.8V と大きく、全ての MOSFET が飽和状態で動作するためには電源電圧を 3.3V に設定しなければならなかった。しきい電圧が小さい場合、回路の低電圧化が可能である。

そこで、デバイスパラメータのうちしきい電圧のみを $\frac{1}{4}$ にしてシミュレーションを行なった。$V_{DD} = 1.75V$ とし、その他の直流電流、W/L の値、容量値は図 5.1 に示す特性で用いたものと同じものを使用した。この時の特性を図 5.4 に示す。直流利得は 30. 1dB、単位利得周波数 126kHz で位相が −88.53 °と、デバイスパラメータ変更前とほぼ同じ特性を示していることがわかる。無信号時における消費電力は $420\mu W$ と大幅に減少した。

キャパシタの値を変化させた時の振幅特性を図 5.5 に示す。それぞれ C=100pF, 50pF, 25pF, 10pF, 5pF としている。それぞれの場合の単位利得周波数は 126kHz, 251kHz, 496kHz, 1.21MHz, 2.42MHz であり、パラメータ変更前と同様に単位利得周波数が変化していることがわかる。

特に、$C = 20pF$ としたときの特性を図 5.6 に示す。単位利得周波数 618kHz で位相

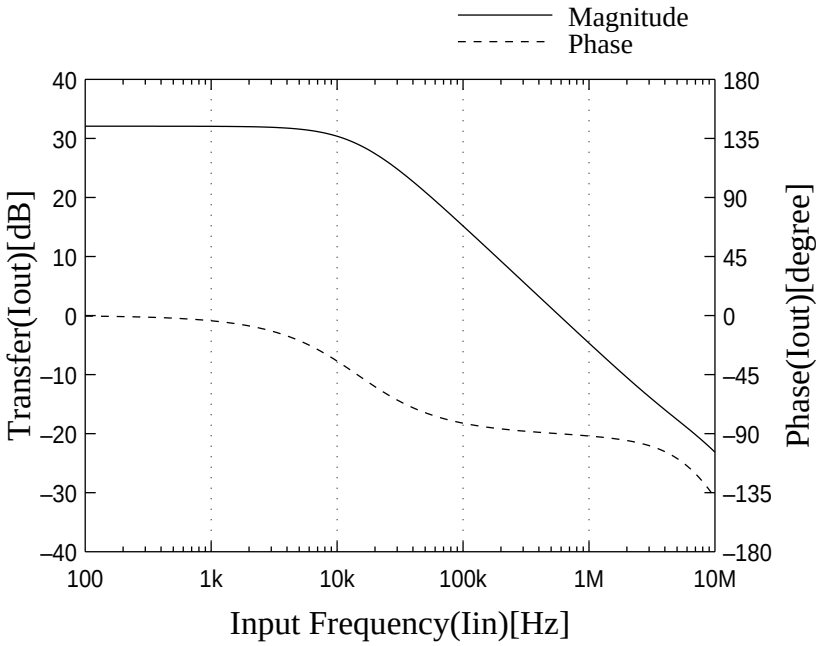



**図 5.3** $V_{DD} = 3.3V, C = 25pF$ の特性

が $-89.75$ °であった。

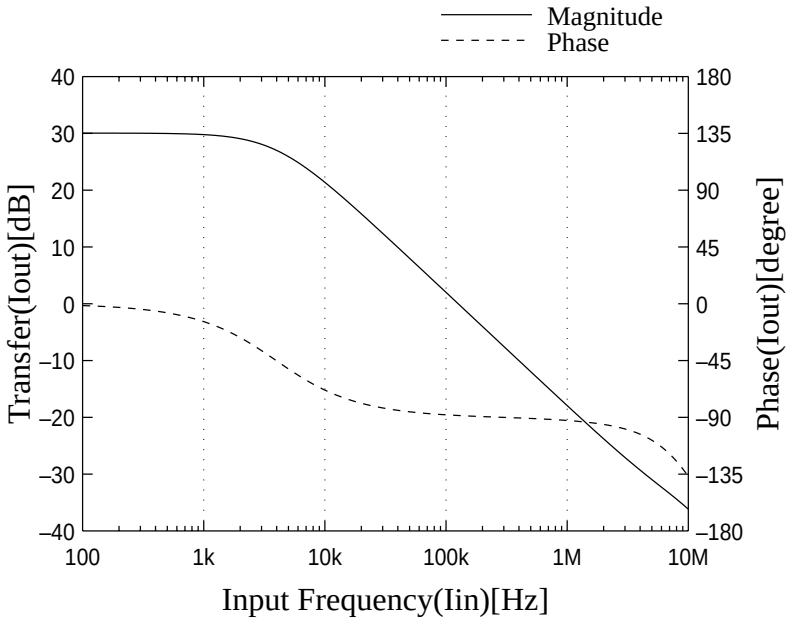



**図 5.4** $V_{DD} = 1.75V, C = 100pF$ の特性

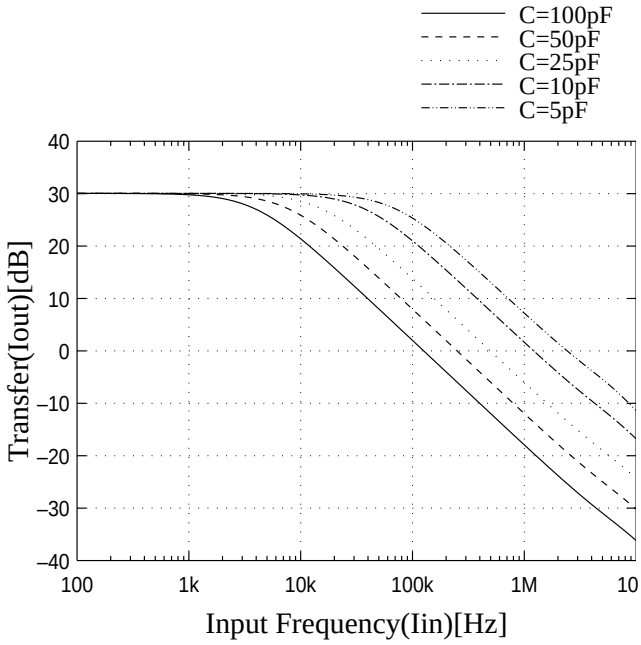



**図 5.5** C を変化させた時の提案回路の振幅特性

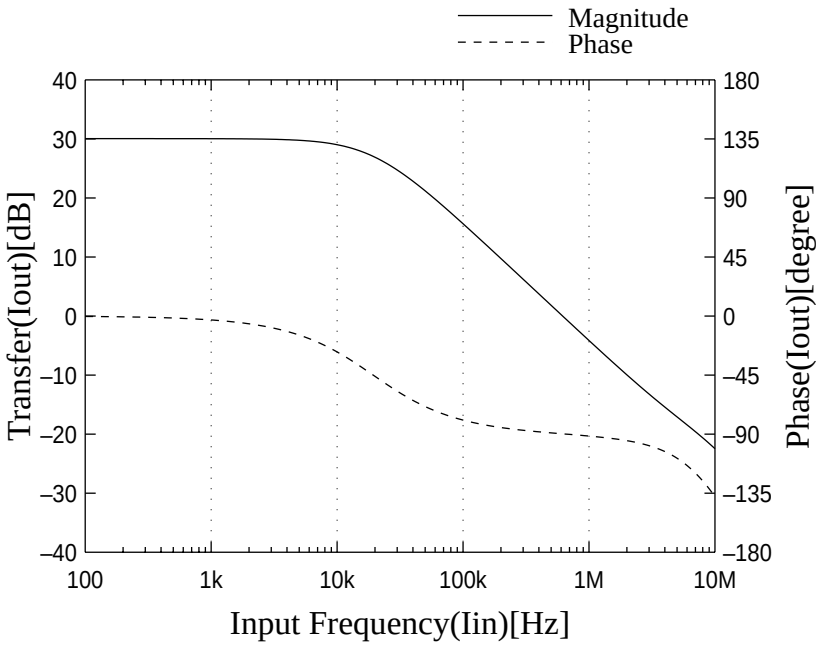



**図 5.6** $V_{DD} = 1.75V, C = 20pF$ の特性

# 第6章

# 結論

## 6.1　本論文で得られた結果

低電圧化実現方法として Companding Filter を提案した。そして、Companding Filter の重要な構成要素である積分器、Companding Integrator を構成し、従来提案されていた回路に比べて FET 数をほぼ $\frac{2}{3}$ まで減少させた。シミュレーションの結果、積分器として良好な特性を得た。

また、しきい電圧のみを変更したデバイスパラメータを用いてシミュレーションを行った。電源電圧を低く設定して、デバイスパラメータ変更前とほぼ同様の良好な特性を得て、低電圧化実現の可能性を示した。

## 6.2　今後の課題

今後の研究課題を以下に述べる。

まず、高周波化の実現が挙げられる。

Companding Filter は低電圧化可能という特徴の他に、高周波化可能という特徴がある。電圧信号入力は高周波領域における雑音・ひずみ増の原因となり、Companding Filter ではその問題が解決されるからである [1]。

しかし提案回路におけるシミュレーションでは 200MHz 付近に 2 次極や零点が生じ、容量値低下による高周波化実現を妨げている。PMOSFET を多く用いているために周波数特性が悪化している可能性が考えられる。PMOSFET を用いない、あるいは数を減少させるような回路構成が今後の課題となる。

また、特性の電気的可変性の向上も求められる。

低い電源電圧を実現するためには、各 MOSFET のバイアス状態におけるゲート・ソース間電圧 $V_{GS}$ をできる限り小さく設定することが望まれる。また、出力で用いる PMOS は、直流利得を獲得するためにトランスコンダクタンス係数 $K_P$ を非常に大きく設定しているので、通常大きな電流を駆動することになる。

FET の $V_{GS}$ がしきい電圧に近い領域では、わずかな電圧の変化が大きな電流変化を生み出す。出力で用いる PMOS の $V_{GS}$ も小さく設定されているので、直流電流源 $I_o, I_a$ の電流値のわずかな変化が出力 PMOS の $V_{GS}$ に伝搬し、出力電流の大きな変化となって現れる。図 4.1 や図 4.4 に示すように、その出力電流は平方根回路（図 3.4）を通して入力部分 $h(I_{out})$ に帰還されるので、影響は回路全体に広がり不安定になり易い。

つまり低電圧化を実現すると、その代償として電気的可変性が失われ、特性の細かい調整が困難になる。フィルタを構成する上でこの欠点を持つことは非常に不利であり、改善が望まれる。低電圧で動作でき、かつ電気的可変性を得られるような回路上の工夫が、今後の課題となる。

# 謝　辞

本研究を進めるに当り東京工業大学 藤井信生 教授には終始適切なご指導、ご助言を賜わりました。心から感謝致します。

また種々ご検討頂き、有益なご助言を賜わった東京工業大学 西原明法 教授、高木茂孝 助教授、杉野暢彦 講師に厚くお礼申し上げます。

また東京工業大学藤井研究室の高井伸和 氏を始め、東京工業大学 藤井・西原・高木研究室の皆様にも過分なご指導やご協力を頂きました。深く感謝致します。

# 参 考 文 献

[1] Y.Tsividis : "Instantaneously companding integrators", IEEE International Symposium on Circuits and Systems, vol I, pp.477-480, Jun, 1997.

[2] E.Seevinck : "Companding current-mode integrator : a new circuit principle for continuous-time monolithic filters", Electronics Letters, vol.26, pp.2046-2047, Nov, 1990.

[3] J.Mulder, A.C.van der Woerd, W.A.Serdin and A.H.M.van Roermund : "A current-mode companding $\sqrt{x}$-domain integrator", Electronics Letters, vol.32, pp.198-199, Feb, 1996.

[4] 高木茂孝 : 「アナログ集積回路」講義ノート

[5] R.J.Wiegerink : "Analysys and synthesis of MOS translinear circuits", PhD Thesis, Twente University of Technology, Enschede, 1992.

[6] 藤井信生 : " アナログ電子回路", 昭晃堂, 1984

[7] P.R.Gray and R.G.Mayer : "Analysys and design of analog integrated circuits Third edition", J.Wiley & Sons, Inc., Newyork, 1993.

# 付録I

# Companding Filterの設計に関する考察

## I.1　まえがき

本章では、本文で提案したCompanding Integratorを用いてCompanding Filter を設計し、設計に伴う改良点や理想特性との偏差について考察する。

## I.2　Companding Filterの構成例

提案したCompanding Integratorを用いてCompanding Filterを構成することを考える。ここでは例として、もっとも簡易な1次低域通過フィルタを構成する。構成するフィルタのシグナルフローグラフを図I.1に示す。

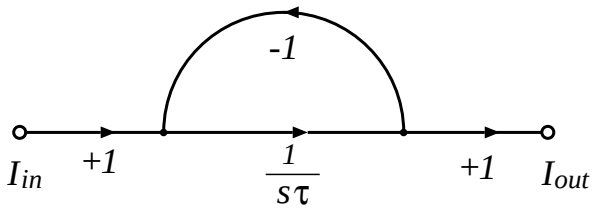



**図 I.1**　フィルタのシグナルフローグラフ

ただし第4.2節式(4.15)より

$$\tau = \frac{C\sqrt{I_a}}{2\sqrt{K_P I_o}} \tag{I.1}$$

である。

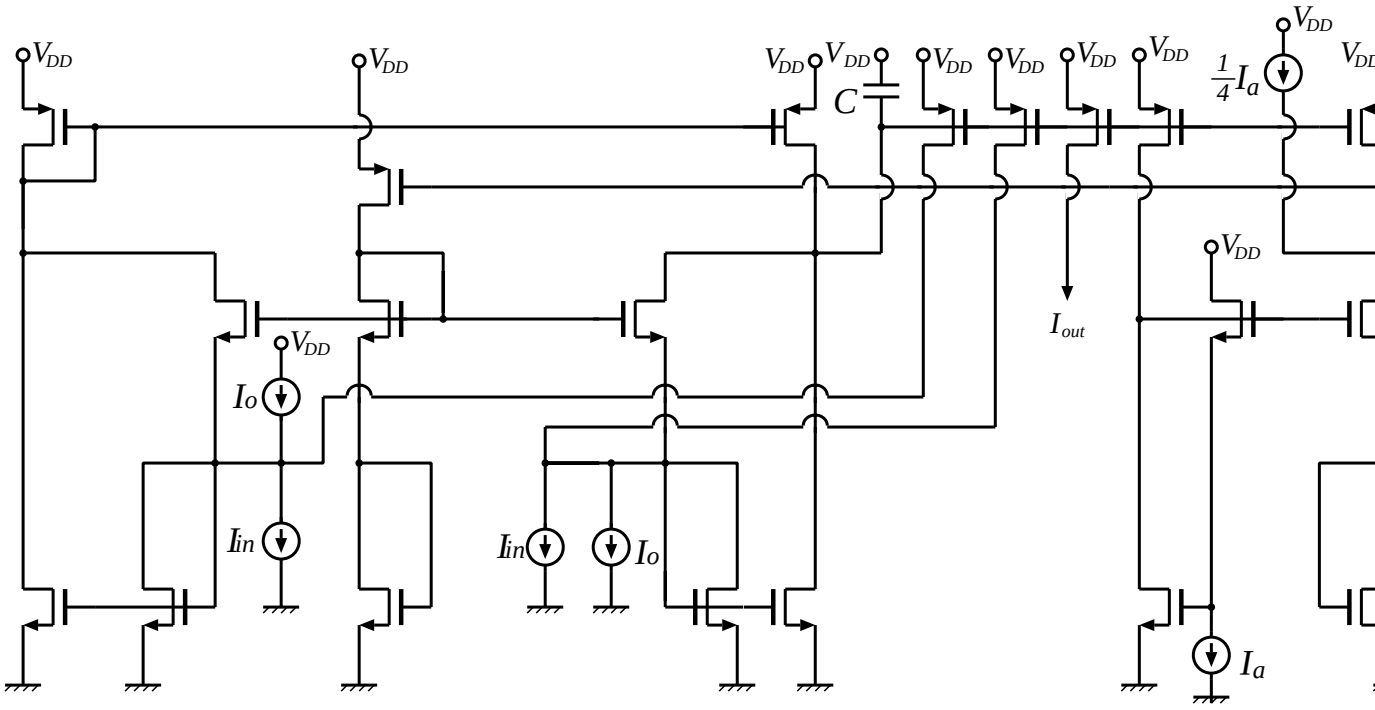



**図 I.2**　構成した Companding Filter の回路全図

出力電流 $I_{out}$ を入力にそのまま帰還し、入力電流 $I_{in}$ との差を取って積分器に入力する。全体としてのフィルタの特性は

$$\begin{aligned} \frac{I_{out}(s)}{I_{in}(s)} &= \frac{\frac{1}{s\tau}}{\frac{1}{s\tau}+1} \\ &= \frac{1}{s\tau+1} \end{aligned} \tag{I.2}$$

となる。構成した 1 次低域通過 Companding Filter の全体回路を図 I.2 に示す。

## I.3　フィルタの改良に関する考察

しかし、図 I.2 を SPICE シミュレーションにかけても期待される特性を示さなかった。考えられる理由として、無信号時の出力電流が大きいことが挙げられる。

積分器単体で動作させる場合、無信号時における出力電流 $I_{out}$ の値は数 $100\mu A$ ほどまで大きくなる。その大電流を直接入力側に帰還させると、積分器単体で動作させている場合の数百倍のバイアス成分を入力に押し込むことになり、正常の動作から完全に逸脱してしまう。

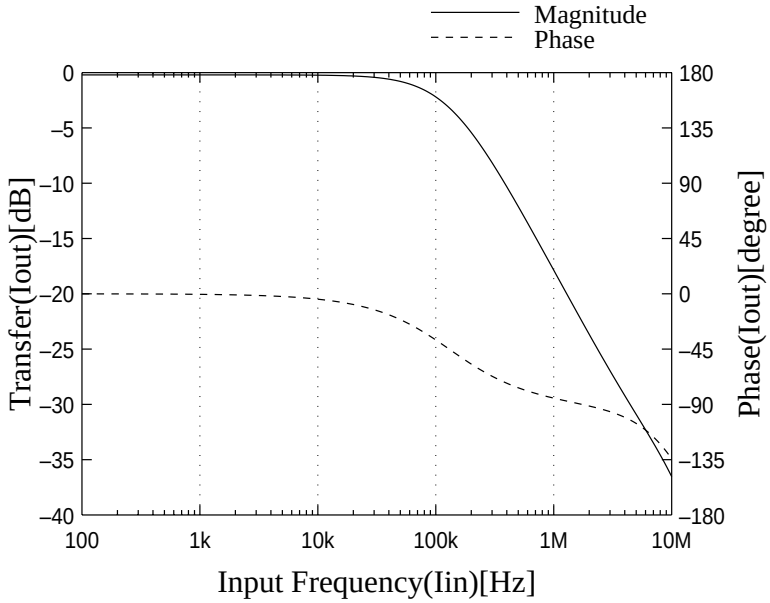



**図 I.3**　出力バイアス成分を除去したフィルタの特性

そこで、直流電流源 $I_B$ を用いて出力電流からバイアス相当分を取り除いた上で入力側に帰還させてSPICEシミュレーションを行った。得られた結果を図I.3に示す。積分器は第5章の図5.1に示すものを用い、$I_B = 105.5\mu A$ とした。

直流利得は $-0.2$dB、遮断周波数131kHzにおいての位相が $-45.31$ °という特性を得た。積分器の単位利得周波数が147kHzであったので、ほぼ設計通りの1次低域通過フィルタが構成できていることがわかる。

新たに加えた直流電流源 $I_B$ は入力 $I_{in}$ に並列に接続される。よって、入力バイアス電流 $I_{bias}$ と $I_B$ は一つの直流電流源としてまとめることができる。積分器の入力部分にある直流電流源 $I_o$ も同様にまとめることができる。それぞれまとめられた直流電流源 $I_{BB1}, I_{BB2}$ は

$$I_{BB1} = I_B + I_{bias} + I_o \tag{I.3}$$

$$I_{BB2} = I_B + I_{bias} - I_o \tag{I.4}$$

と表すことができる。

$$I_{BB1} - I_{BB2} = 2I_o \tag{I.5}$$

なので、式(I.1)(I.2)より、フィルタの遮断周波数

$$\omega_0 = \frac{1}{\tau} = \frac{2\sqrt{K_P}I_o}{C\sqrt{I_a}} \tag{I.6}$$

を $I_{BB1} - I_{BB2}$ で制御することができる。

直流電流源 $I_{BB1}, I_{BB2}$ を入力に差し込んだフィルタの回路を図 I.4 に示す。

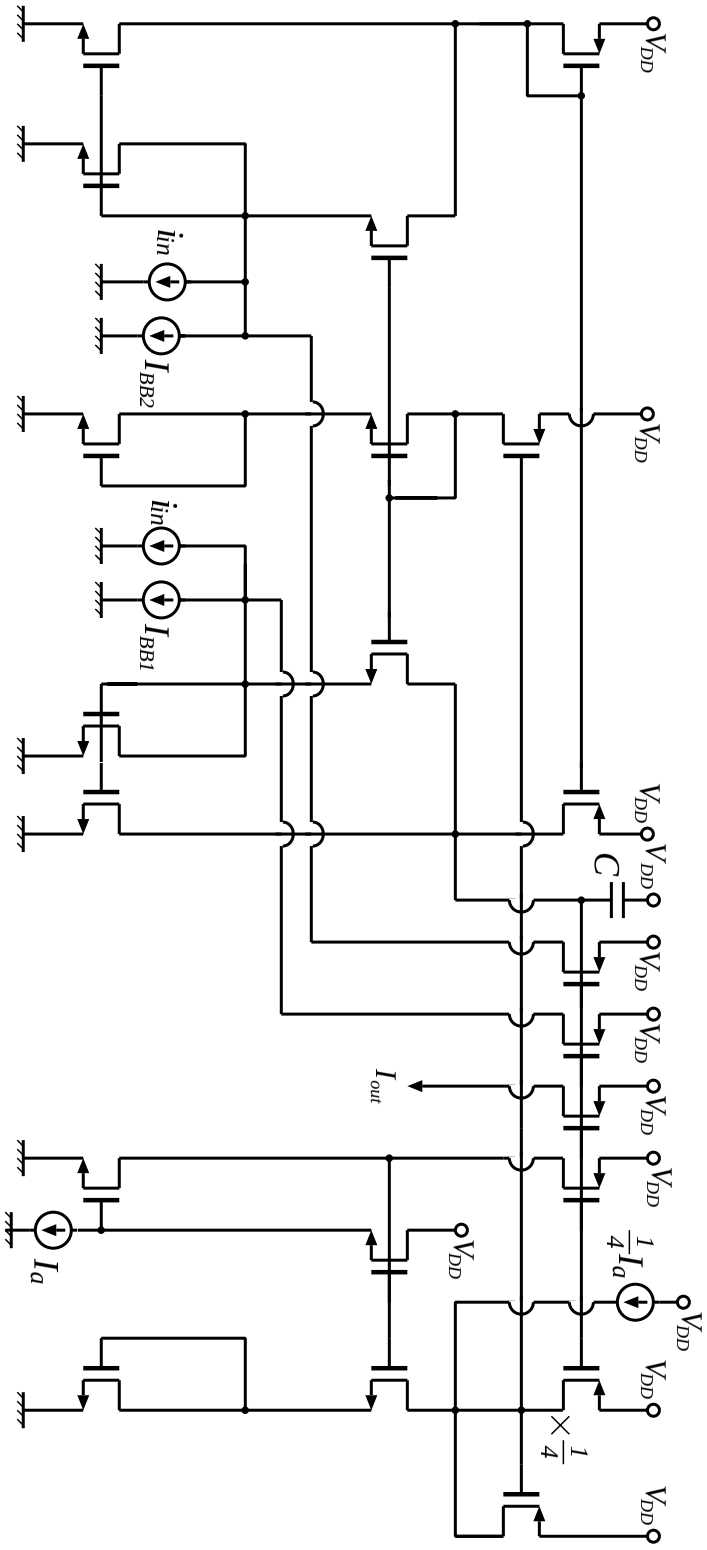



**図 I.4**　改良したCompanding Filterの回路全図